

DE19640246**Patent number:** DE19640246**Publication date:** 1998-04-02**Inventor:** SCHINDLER GUENTHER DR (DE); HARTNER WALTER (DE); MAZURE-ESPEJO CARLOS DR (DE)**Applicant:** SIEMENS AG (DE)**Classification:****- international:** *H01L21/02; H01L21/8246; H01L21/02; H01L21/70;*
(IPC1-7): H01L27/108; H01L21/8238; H01L21/8242**- european:** H01L21/02B3B; H01L21/8246F6**Application number:** DE19961040246 19960930**Priority number(s):** DE19961040246 19960930**Also published as:**

WO9815013 (A1)

EP0931355 (A1)

EP0931355 (B1)

CN1143398C (C)

Report a data error here**Abstract of DE19640246**

The invention relates to a semiconductor device for integrated circuits with a stack cell located in an insulating layer (2) having a plug (1) filled contact hole (8) with a capacitor with a lower electrode (5) turned towards the plug (1), a paraelectric or ferroelectric dielectric (6) and an upper electrode (7). A barrier layer (3) is located between the plug (1) and the lower electrode (5). Said layer is surrounded by a silicon nitride collar (4) preventing effective oxidation of barrier layer (3).

Data supplied from the **esp@cenet** database - Worldwide

⑯ BUNDESREPUBLIK

DEUTSCHLAND



DEUTSCHES
PATENTAMT

⑯ Offenlegungsschrift
⑯ DE 196 40 246 A 1

⑯ Int. Cl. 6:

H 01 L 27/108

H 01 L 21/8242

H 01 L 21/8238

DE 196 40 246 A 1

⑯ Aktenzeichen: 196 40 246.8
⑯ Anmeldetag: 30. 9. 96
⑯ Offenlegungstag: 2. 4. 98

⑯ Anmelder:

Siemens AG, 80333 München, DE

⑯ Erfinder:

Schindler, Günther, Dr., 80802 München, DE;
Hartner, Walter, 89441 Medlingen, DE;
Mazure-Espejo, Carlos, Dr., 85614 Kirchseeon, DE

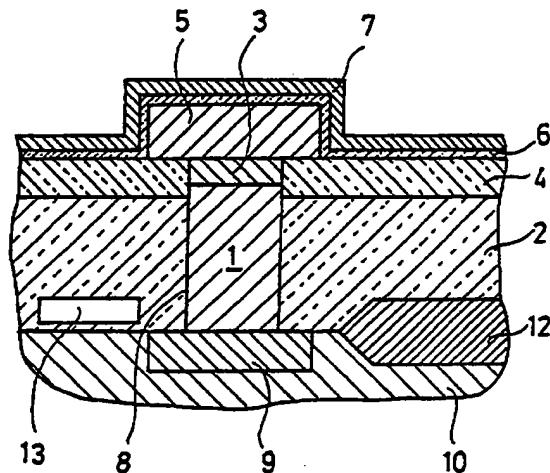
⑯ Entgegenhaltungen:

US	54 64 786
US	53 66 920
EP	07 39 030 A2
EP	06 97 719 A2

Prüfungsantrag gem. § 44 PatG ist gestellt

⑯ Halbleiteranordnung mit geschützter Barriere für eine Stapelzelle

⑯ Die Erfindung betrifft eine Halbleiteranordnung für integrierte Schaltungen, bei der eine Stapelzelle in einer Isolierschicht (2) ein mit einem Plug (1) gefülltes Kontaktloch (8) aufweist, auf dem ein Kondensator mit einer unteren, dem Plug (1) zugewandten Elektrode (5), einem paraselektrischen oder ferroelektrischen Dielektrikum (6) und einer oberen Elektrode (7) vorgesehen ist. Zwischen dem Plug (1) und der unteren Elektrode (5) befindet sich eine Barriereforschicht (3), die von einem Siliziumnitridkragen (4) umgeben ist, der eine Oxidation der Barriereforschicht (3) zuverlässig verhindert.



DE 196 40 246 A 1

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

BUNDESDRUCKEREI 02.98 802 014/469

7/24

Beschreibung

Die vorliegende Erfindung betrifft eine Halbleiteranordnung nach dem Oberbegriff des Patentanspruchs 1 sowie ein Verfahren zum Herstellen einer derartigen Halbleiteranordnung.

Herkömmliche Speicherelemente von Halbleiter-Speicheranordnungen verwenden als Speicherdielektrikum zumeist Siliziumdioxid- oder auch Siliziumnitridschichten, welche aber beide lediglich eine Dielektrizitätskonstante im Bereich von etwa 6 besitzen. Eine höhere Dielektrizitätskonstante würde jedoch zu einer größeren Kapazität des entsprechenden Kondensators führen, so daß auch dessen Abmessungen vermindert werden könnten, wenn auf eine entsprechende Steigerung der Kapazität verzichtet wird. Mit anderen Worten, die Verwendung eines Dielektrikums mit großer Dielektrizitätskonstante führt zu einer Verringerung der für den entsprechenden Kondensator benötigten Fläche und damit zu einer Steigerung der Integrationsdichte.

Die in diesem Zusammenhang durchgeführten Entwicklungen haben Materialien ergeben, die eine gegenüber 6 erheblich höhere Dielektrizitätskonstante aufweisen. So wurde beispielsweise als paraelektrisches Material $(\text{Ba}_x\text{ST}_{1-x})\text{TiO}_3$ (BST) entwickelt, das eine Dielektrizitätskonstante in der Größenordnung von 400 hat. Es liegt auf der Hand, daß BST eine erhebliche Steigerung der Integrationsdichte erlaubt, wenn es anstelle der üblichen Siliziumdioxid- bzw. Siliziumnitridschichten eingesetzt wird.

Weiterhin verwenden herkömmliche Speicherelemente, wie beispielsweise ein dynamischer Random-Speicher (DRAM) paraelektrische Materialien, die aber bei Ausfall der Versorgungsspannung ihre Ladung und somit auch die mit dieser gespeicherte Information verlieren. Außerdem müssen derartige herkömmliche Speicherelemente wegen des bei ihnen auftretenden Leckstromes ständig neu beschrieben werden, was als "refreshen" bezeichnet wird. Auch aus diesem Grund ist der Einsatz von neuartigen ferroelektrischen Materialien als Speicherdielektrikum wünschenswert, da nur so die Herstellung nichtflüchtiger Halbleiter-Speicheranordnungen möglich ist, die bei Ausfall der Versorgungsspannung nicht ihre Information verlieren und auch nicht ständig neu beschrieben werden müssen.

Zusammenfassend ergibt sich damit, daß bei Halbleiter-Speicheranordnungen der Einsatz ferroelektrischer Materialien als Speicherdielektrikum an sich wünschenswert ist, da so eine Steigerung der Integrationsdichte bei gleichzeitiger Sicherheit gegenüber einem Ausfall der Versorgungsspannung erreicht werden kann.

Die praktische Verwirklichung des Einsatzes derartiger ferroelektrischer oder auch paraelektrischer Materialien in Halbleiter-Speicheranordnungen hängt aber stark davon ab, wie sich diese Materialien in eine integrierte Halbleiter-Schaltungsanordnung einbauen lassen. Als solche ferroelektrische oder paraelektrische Materialien wurden bisher neben dem bereits erwähnten BST auch $(\text{Pb},\text{Zr})\text{TiO}_3$ (PZT), $\text{SrBi}_2\text{Ta}_2\text{O}_9$ (SBT), $\text{SrBi}_2(\text{Ta},\text{Nb})\text{O}_9$ (SBTN), SrTiO_3 (ST), ferro- und paraelektrische Polymere usw. bzw. allgemein ferro- und paraelektrische Materialien in Erwägung gezogen.

Obwohl diese Materialien hohe Dielektrizitätskonstanten aufweisen und aus diesem Grund auch schon bei ferroelektrischen Random-Speichern (FeRAM) eingesetzt werden, ist ihre Bedeutung in der Praxis noch be-

grenzt. Denn es hat sich gezeigt, daß die genannten Materialien mit hoher Dielektrizitätskonstante nicht ohne weiteres in Halbleiter-Speicheranordnungen eingesetzt werden können. So wird beispielsweise die Anwendung von dielektrischen Materialien mit hoher Dielektrizitätskonstante oder von Ferroelektrika in hoch integrierten Stapelzellen von Halbleiter-Speicheranordnungen stark dadurch behindert, daß der sogenannte "Plug" bzw. das in ein Kontaktloch eingebrachte Füllmaterial bei Abscheidung des Dielektrikums oxidiert wird. Diese Oxidation findet speziell aufgrund der Tatsache statt, daß es sich bei den genannten Dielektrika mit hoher Dielektrizitätskonstanten und Ferroelektrika um Oxide handelt, die bei der Herstellung der Halbleiter- bzw. Kondensatoranordnung hohen Temperaturen in einer sauerstoffhaltigen Atmosphäre ausgesetzt werden müssen.

Da die üblicherweise für den Kondensatorkontakt verwendete Platin-Elektrode sauerstoffdurchlässig ist, oxidiert damit beispielsweise die Grenzfläche zwischen Plug und Elektrode, was mit einer elektrischen Unterbrechung gleichbedeutend ist.

Fig. 3 zeigt eine derartige Halbleiteranordnung mit einer Speicherzelle. Bei dieser Halbleiteranordnung ist auf einen Halbleiterkörper 10 mit einem hochdotierten Bereich 9 eine dielektrische Isolatorschicht 2 aus z. B. Siliziumdioxid aufgebracht, in die ein Loch 8 geätzt ist. Dieses Loch 8 ist mit einem Füllmaterial bzw. Plug 1 gefüllt, der aus Wolfram oder polykristallinem Silizium besteht. Oberhalb des Plugs 1 ist eine Barrièreschicht 3 vorgesehen, die beispielsweise aus WN, TiWN, TaN, WC usw. bestehen kann. Die Barrièreschicht 3 trennt eine untere Elektrode 5 z. B. aus Platin von dem Plug 1. Auf der unteren Elektrode 5 befindet sich ein paraelektrisches oder ferroelektrische Dielektrikum 6, auf das wiederum eine obere Elektrode 7 aufgetragen ist. Bei dieser Halbleiteranordnung tritt beginnend im Bereich 11 eine Oxidation des Materials der Barrièreschicht 3 auf, was letztlich zu einer elektrischen Unterbrechung führen kann. Die Oxidation schreitet dabei vom Bereich 11 entlang der Grenzfläche 14 zwischen der Barrièreschicht 3 und der Elektrode 5 und entlang der Grenzfläche 15 zwischen der Barrièreschicht 3 und der Isolationschicht 2 fort.

Nicht zuletzt aus diesem Grund wird bisher in der Praxis die Integration eines ferroelektrischen oder paraelektrischen Dielektrikums in einer Speicheranordnung bei hoher Integrationsdichte als wenig Erfolg versprechend angesehen.

Um die oben erwähnte Oxidation der Schnittfläche zwischen Elektrode und Plug in großem Umfang zu vermeiden, werden bisher Dielektrika mit hoher Dielektrizitätskonstanten oder Ferroelektrika erst nach Fertigstellung einer herkömmlichen CMOS-Transistorstruktur über einem LOCOS-Gebiet planar abgeschieden. Mit anderen Worten, neben einem MOS-Transistor, dessen Drain beispielsweise mit einer Bitleitung verbunden und dessen Gate an eine Wortleitung geschlossen ist, wird über dem LOCOS-Gebiet ein Kondensator vorgesehen, dessen obere Elektrode aus z. B. Platin besteht, das mit der Source-Elektrode eines MOS-Transistors verbunden ist, und dessen Isolierschicht aus einem Ferroelektrikum hergestellt ist, während die zweite Elektrode (common plate), die der ersten Elektrode durch das Ferroelektrikum gegenüberliegt, ebenfalls aus z. B. Platin hergestellt ist. Als Dielektrikum kann hierbei beispielsweise SBT verwendet werden. Die Größen der auf diese Weise gebildeten Spei-

cherzellen betragen beispielsweise $10,1 \mu\text{m} \times 16,5 \mu\text{m} = 167 \mu\text{m}^2 = 46 \text{ F}^2$, wenn für F ein Grundmaß von $1,9 \mu\text{m}$ herangezogen wird. Die Fläche des Kondensators beträgt dabei etwa $3,3 \mu\text{m} \times 3,3 \mu\text{m} = 10,9 \mu\text{m}^2 = 3 \text{ F}^2$. Mit anderen Worten, es liegt ein relativ großer Platzbedarf für die Speicherzelle bzw. deren Verdrahtung zum Kondensator vor.

Vorteilhaft am Auftragen eines Kondensators über dem LOCOS-Gebiet ist aber, daß zur Herstellung der planaren ferroelektrischen Schicht des Kondensators ein Sputter- oder Solgel-Verfahren benutzt werden kann und insbesondere durch das Aufbringen der ferroelektrischen Schicht, das in stark oxidierender Umgebung stattfindet, die Diffusion von Sauerstoff durch die meist aus Platin bestehende Elektrode hindurch die darunter liegende Schicht nicht mehr beeinträchtigt, da hier bereits ein Oxid vorliegt.

Zusammenfassend ergibt sich damit, daß das Abscheiden einer CMOS-Transistorstruktur über dem LOCOS-Gebiet zwar ohne weiterhin möglich ist, jedoch zu einer erheblichen Verminderung der Integrationsdichte führt.

Ein direktes Auftragen der ferroelektrischen Schichten über dem elektrisch leitenden Plug ist zwar möglich, führt aber zu einer weiteren Oxidation und damit letztlich zu einer Isolation der elektrischen Verbindungen.

Es ist daher Aufgabe der vorliegenden Erfindung, eine Halbleiteranordnung zu schaffen, die eine Integration von Bauelementen mit ferroelektrischen und paraelektrischen Materialien erlaubt und bei der unerwünschte Oxidationen im Bereich der Barrièreschicht des Plugs zuverlässig vermieden sind; außerdem soll ein Verfahren zum Herstellen einer derartigen Halbleiteranordnung angegeben werden.

Zur Lösung dieser Aufgabe sieht die vorliegende Erfindung eine Halbleiteranordnung mit den Merkmalen des Patentanspruches 1 vor. Außerdem wird ein Verfahren mit den Merkmalen des Patentanspruches 5 geschaffen.

Vorteilhafte Weiterbildungen der Erfindung ergeben sich insbesondere aus den Patentansprüchen 2 bis 4.

Bei der erfindungsgemäßen Halbleiteranordnung ist also die Barrièreschicht in einen "Siliziumnitridkragen", der durch die Siliziumnitridschicht gebildet ist, eingebettet. Dadurch wird das Material der Barrièreschicht, also beispielsweise Tiannitrid, Wolframnitrid, Titanwolframnitrid, Tantalnitrid usw., vor einer Oxidation zuverlässig geschützt.

Durch den "Siliziumnitridkragen" wird eine laterale Sauerstoff-Diffusion bei der Herstellung des paraelektrischen oder ferroelektrischen Dielektrikums vermieden. Das heißt, es tritt praktisch keine laterale Oxidation der Barrièreschicht auf, wie dies beim Stand der Technik der Fall ist. Außerdem wird erreicht, daß das Material, z. B. Platin, der unteren Elektrode gut auf der Siliziumnitridschicht haftet.

Nachfolgend wird die Erfindung anhand der Zeichnungen näher erläutert. Es zeigen:

Fig. 1 einen Schnitt durch ein erstes Ausführungsbeispiel der erfindungsgemäßen Halbleiteranordnung;

Fig. 2 einen Schnitt durch ein zweites Ausführungsbeispiel der erfindungsgemäßen Halbleiteranordnung und

Fig. 3 einen Schnitt durch eine bestehende Halbleiteranordnung.

In den Figuren sind einander entsprechende Bauteile jeweils mit den gleichen Bezeichnungen versehen.

Wie in einem ersten Ausführungsbeispiel in Fig. 1 gezeigt ist, befindet sich bei der erfindungsgemäßen Halb-

leiteranordnung auf einem Siliziumsubstrat 10 mit einem hochdotierten Bereich 9 eine Siliziumdioxidschicht 2, die ein Kontaktloch 8 zu dem hochdotierten Bereich 9 aufweist. In der Siliziumdioxidschicht 2 bzw. auf dem Siliziumsubstrat 10 können noch weitere leitende oder hochdotierte Bereiche 13 und Isolationsbereiche 12 vorgesehen sein. Diese hochdotierten Bereiche 13, 12 können beispielsweise Leiterbahnen oder LOCOS sein.

Das Kontaktloch 8 ist mit Füllmaterial bzw. Plug 1 versehen. Zwischen dem Plug 1, dessen leitendes Material aus z. B. Wolfram, Silizium, Nitriden oder polykristallinem Silizium besteht, und einer unteren Elektrode 5 aus z. B. Platin ist eine Barrièreschicht 3 angeordnet, die aus leitenden Nitriden, Karbiden, Boriden usw., wie z. B. WN, WC, WTiN, TaN, TiN, TiC usw. hergestellt sein kann. Ein mögliches Material für den Plug 1 ist beispielsweise WSi. Die Barrièreschicht 3 wird seitlich von einer Siliziumnitridschicht 4 umgeben, deren Oberseite in der gleichen Ebene wie die Oberseite der Barrièreschicht 3 liegt. Die Oberseite der Barrièreschicht 3 kann aber auch etwas unterhalb der Oberseite der Siliziumnitridschicht 4 liegen. Auf die untere Elektrode 5 aus Platin ist ein paraelektrisches, superparaelektrisches oder ferroelektrisches Dielektrikum 6 aufgetragen, welches wiederum mit einer oberen Elektrode 7 bedeckt ist. Die obere Elektrode 7 und/oder die untere Elektrode 5 können auch aus Ruthenium, Iridium, Palladium oder leitenden Oxiden hervon, wie RuO₂, IrO₂ usw. bestehen.

Die Herstellung der erfindungsgemäßen Halbleiteranordnung kann beispielsweise in der folgenden Weise geschehen:

Zunächst wird die CMOS-Ebene mit dem Halbleiterkörper 10, den hochdotierten Bereichen 9 und 13, dem Isolationsbereich 12 und der Siliziumdioxidschicht 2 hergestellt. Vor Ätzung des Kontaktloches 8 wird so dann die Siliziumnitridschicht 4 abgeschieden.

Nach Ätzung des Kontaktloches 8 und Auffüllung des Kontaktloches 8 mit Wolfram, leitendem Material, wie Siliziden oder polykristallinem Silizium erfolgt eine Rückätzung zur Bildung einer Aussparung im oberen Bereich des Plugs 1. Die Tiefe dieser Rückätzung ist etwa an die Dicke der Siliziumnitridschicht so angepaßt, daß sie etwas kleiner als die Dicke der Siliziumnitridschicht 4 ist. Sodann wird durch Sputtern oder MOCVD die Barrièreschicht 3 im Bereich der Rückätzung aufgebracht. Durch beispielsweise einen Rückätz- oder Schleifprozeß wird die Oberfläche der Barrièreschicht 3 mit der Oberfläche der Siliziumnitridschicht 4 ausgerichtet. Mit anderen Worten, die Siliziumnitridschicht 4 umgibt wie ein "Kragen" die Barrièreschicht 3.

Auf die Barrièreschicht 3 wird die untere Elektrode 5, die bevorzugt aus Platin besteht, aufgetragen. Sodann wird das paraelektrische, superparaelektrische oder ferroelektrische Dielektrikum 6 aufgebracht und strukturiert. Die Barrièreschicht 3 wirkt während des Abscheidens des Dielektrikums 6 sowie bei den nachfolgenden oxidierenden Temperaturprozessen als Schutz gegen eindiffundierenden Sauerstoff und verhindert die Oxidation des Plugs 1. Die Siliziumnitridschicht 4 schützt dabei die eingebettete Barrièreschicht 3 zuverlässig vor der Oxidation und gewährleistet die Integrität der Platin/Barrièreschicht/Plug/Struktur. Siliziumnitrid ist bekanntlich eine gute Sauerstoff-Diffusionsbarriere, die die Zufuhr von Sauerstoff im vorliegenden Fall zum Übergangsbereich zwischen Barrièreschicht und unterer Elektrode aus der Umgebung verhindert.

Die vorliegende Erfindung erhöht damit den Oxidationswiderstand der Barrièreschicht 3 in großem Aus-

maß.

Fig. 2 zeigt ein weiteres Ausführungsbeispiel der Erfindung. Bei diesem Ausführungsbeispiel ist die Wand des Kontaktloches 8 mit einer Zusatz-Siliziumnitridschicht 16 bedeckt, die nach der Ätzung des Kontaktloches 8 abgeschieden wird.

geschieden wird.

Hierzu 3 Seite(n) Zeichnungen

Patentansprüche

1. Halbleiteranordnung für integrierte Schaltungen, insbesondere Speicher, in DRAM- und FeRAM-Technik, bei der eine Stapelzelle in einer Isolierschicht (2) ein mit einem Füllmaterial bzw. Plug (1) gefülltes Kontaktloch (8) aufweist, auf dem ein Kondensator mit einer unteren, dem Füllmaterial 15 (1) zugewandten Elektrode (5), einem superparaelektrischen oder paraelektrischen oder ferroelektrischen Dielektrikum (6) und einer oberen Elektrode (7) vorgesehen ist, dadurch gekennzeichnet,
daß zwischen dem Füllmaterial (1) und der unteren Elektrode (5) eine Barrièreschicht (3) vorgesehen ist,
daß auf der Isolierschicht (2) eine Siliziumnitridschicht (4) vorgesehen ist,
daß die der unteren Elektrode (5) gegenüberliegenden Oberseiten der Barrièreschicht (3) und der Siliziumnitridschicht (4) im wesentlichen in einer Ebene liegen, und
daß die Siliziumnitridschicht (4) die Randseite der 30 Barrièreschicht (3) vollständig umgibt.
2. Halbleiteranordnung nach Anspruch 1, dadurch gekennzeichnet, daß das Füllmaterial aus leitenden Materialien, insbesondere aus Siliziden, Nitriden, Wolfram oder polykristallinem Silizium besteht.
3. Halbleiteranordnung nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß die untere Elektrode (5) und/oder die obere Elektrode (7) aus Platin, Ruthenium, Iridium, Palladium oder leitenden Oxiden 35 hiervon bestehen.
4. Halbleiteranordnung nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, daß die Barrièreschicht (3) aus WN, WC, WTiN, TaN, TiN oder TiC besteht.
5. Verfahren zum Herstellen der Halbleiteranordnung nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet,
daß nach Herstellung einer CMOS-Ebene auf diese eine Siliziumnitridschicht (4) aufgetragen wird,
daß in die Siliziumnitridschicht (4) ein Kontaktloch 50 (8) eingebracht wird,
daß das Kontaktloch (8) mit leitendem Füllmaterial (1) aus, insbesondere Siliziden, Nitriden, Wolfram oder polykristallinem Silizium aufgefüllt wird,
daß in das Füllmaterial (1) eine Aussparung (8) eingebracht wird, die eine an die Dicke der Siliziumnitridschicht (4) angepaßte Tiefe hat,
daß in der Aussparung eine Barrièreschicht (3) erzeugt wird,
daß die Barrièreschicht (3) durch einen Schleif- 60 oder Rückätzprozeß in die Siliziumnitridschicht (4) eingebettet wird, und
daß nacheinander die untere Elektrode (5), das Dielektrikum (6) und die obere Elektrode (7) aufgebracht werden.
6. Verfahren nach Anspruch 5, dadurch gekennzeichnet, daß nach Ätzung des Kontaktloches (8) auf dessen Wand eine Siliziumnitridschicht (16) ab- 65

- Leerseite -

Fig. 1

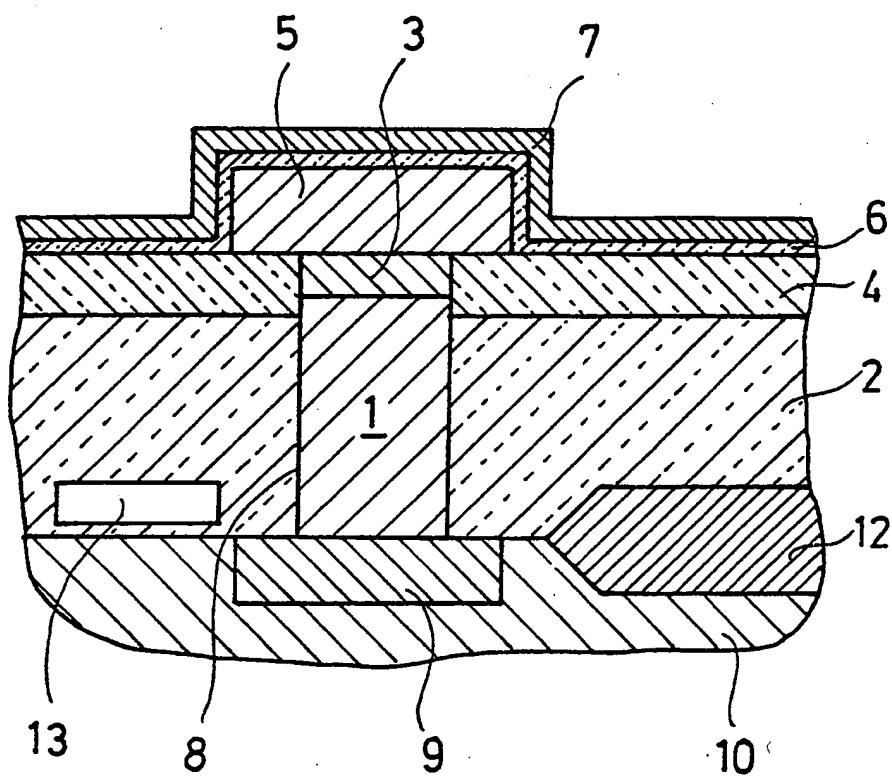


Fig. 2

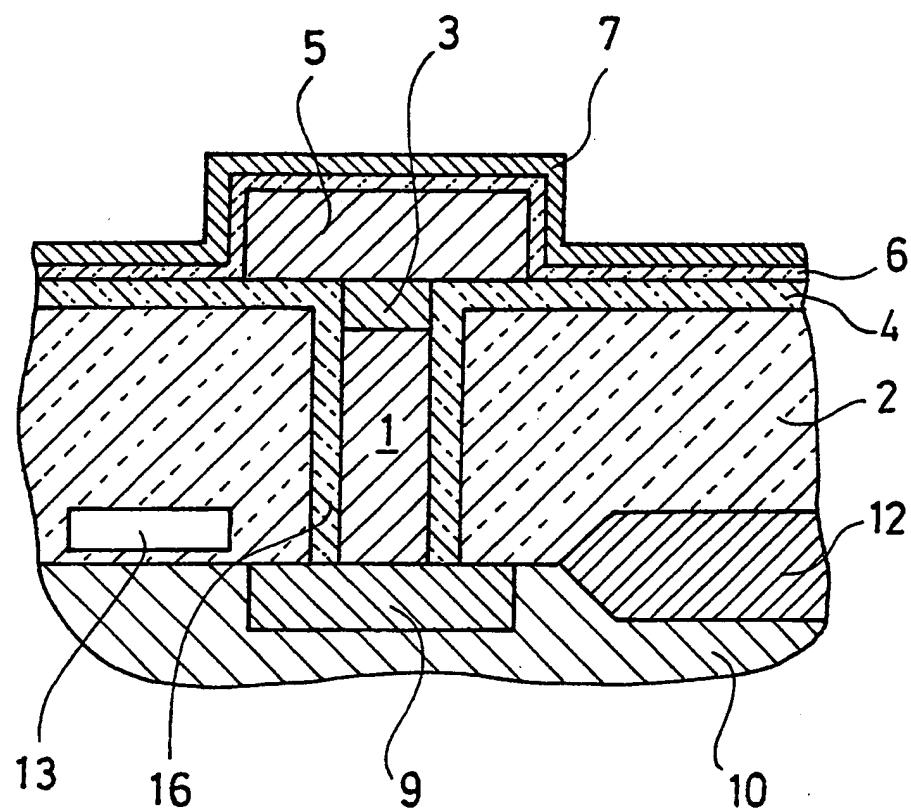


Fig. 3

